

03500.017938



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
SOMEI KAWASAKI, ET AL.) Examiner: Unassigned
Application No.: 10/790,738) Group Art Unit: Unassigned
Filed: March 3, 2004)
For: DRIVE CIRCUIT, DISPLAY) April 15, 2004
 APPARATUS USING DRIVE
 CIRCUIT, AND EVALUATION
 METHOD OF DRIVE CIRCUIT)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

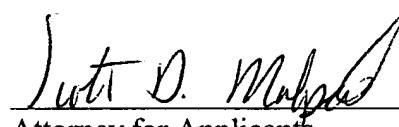
In support of Applicants' claim for priority under 35 U.S.C. §119, enclosed are copies of the following foreign applications:

2003-061288, filed March 7, 2003; and

2003-405642, filed December 4, 2003.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below-listed address.

Respectfully submitted,



Attorney for Applicants
Scott D. Malpede
Registration No. 32,533

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

SDM:mm
DC_MAIN 163410v1

Appl. No.: 10/798,738

Filed: 3/3/04

Inventors: Satoru Kawashita, et al.

Art Unit: Unknown

CF017938

US/sug

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月 7日

出願番号 Application Number: 特願 2003-061288

[ST. 10/C]: [JP 2003-061288]

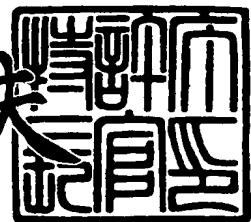
出願人 Applicant(s): キヤノン株式会社

（捺印）

2004年 3月 22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特 2004-3023110

【書類名】 特許願

【整理番号】 253489

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20 610

【発明の名称】 E L パネル

【請求項の数】 1

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 川崎 素明

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 川野 藤雄

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 井関 正己

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100096828

【弁理士】

【氏名又は名称】 渡辺 敬介

【電話番号】 03-3501-2138

【選任した代理人】

【識別番号】 100110870

【弁理士】

【氏名又は名称】 山口 芳広

【電話番号】 03-3501-2138

【手数料の表示】

【予納台帳番号】 004938

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0101029

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 E Lパネル

【特許請求の範囲】

【請求項 1】 電流信号に対応して発光する E L素子を含む画素部が行列状に複数配置された画像表示部と、

单一または複数の電圧信号から单一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含む E Lパネルにおいて、

電圧電流変換回路と該当列の画素部とを接続する列情報線からなる列情報線群に流れる電流の総和電流を外部に出力するための総和電流部と、該総和電流部の前記画像表示部側の列情報線に流れる電流を遮断するための遮断部とかなる総和電流検出部を備えたことを特徴とする E Lパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を注入して発光するエレクトロルミネッセンス素子（以後 E L素子と言う）を画像表示に使用した E Lパネルに関するものであり、さらに詳しくは、駆動回路の試験を容易に行うための技術に関する。

【0002】

【従来の技術】

E L素子はパネル型画像表示システム（以後 E Lパネルと言う）に応用されている。 E Lパネルにおいて各画素の発光制御方法として電流設定方式が一般的である。

【0003】

従来の電流設定方式によるカラー E Lパネルの構成を示す概略図を図 6 に示す。3 原色の画素表示を受け持つ各色の E L素子を含んだ画素部 8 を、列数 N 個及び行数 M 個だけ 2 次元に配置して画像表示部 9 が構成されている。3 原色の情報からなる画像信号 V I D E O は N 個の列制御回路からなる列制御部 5 に入力される。各々の列制御回路は各々の 3 原色情報に対応するように構成されている。

【0004】

列走査クロック K C が入力されるコラムシフトレジスタ 4 から、列走査開始信号 S P C によって、列走査クロック K C の 1 周期または半周期毎に遷移して発生する映像サンプリング信号群 S P が各々の対応する列制御回路に入力される。

【0005】

各列制御回路では所定期間の映像信号 V I D E O がサンプリングされ、列情報線群 d a t a に対応した電流信号が出力され、対応列の画素部 8 に入力される。

【0006】

列制御信号 S C はロジック回路 6 に入力され、列制御線群 7 を介して列制御信号が列制御部 5 に入力される。

【0007】

また、行走査クロック K R が入力されるコラムシフトレジスタ 4 からは、列走査開始信号 S P R によって、列走査クロック K R の 1 周期または半周期毎に遷移して発生する各々の行制御信号が行制御線群 1 1 を介して対応行の画素部 8 に入力される。

【0008】

列制御部 5 は点順次電圧画像入力信号を行単位の線順次電流画像信号に変換するものであり、アナログ方式とデジタル方式で構成可能である。

【0009】

図 1 1 に回路構成が簡単なアナログ方式の列制御回路の構成の一例を示す回路図を示す。図 1 1 の構成は 3 原色用として 3 個で 1 組になる。該当色の電圧画像信号 V I D E O はサンプルホールド回路 S H に入力され、またコラムシフトレジスタ 4 にはロジック回路 6 より制御信号が接続されており、各々奇数及び偶数行期間で発生する該当列のサンプリングパルス S P a 及び S P b がサンプルホールド回路 S H に入力される。更に、行制御線群 1 1 である行制御信号 C C 3 及び C C 6 もサンプルホールド回路 S H に接続されている。S H の出力電圧信号 v (d a t a) は、電圧電流変換回路 g m に入力され、電流信号 d a t a を出力する。電圧電流変換回路 g m には列制御線群 7 であるバイアス信号 V B 及び列制御信号 C C 7 が接続されている。

【0010】

図11の動作を図12のタイムチャートを使用して説明する。電圧画像信号V I D E Oは基準信号R E Fと相関性をもって入力される。

【0011】

行周期である期間T1において列制御信号C C 3がLレベルとなる（列制御信号C C 6はHレベルになる）とともに、サンプリングパルスS P aが出力され（S P bは出力されない）、該当列のS P aの発生期間t1において電圧画像信号V I D E Oは図示されるように基準信号R E Fとの差電圧d1でサンプルホールド回路S H内にサンプリングホールドされる。

【0012】

行周期である期間T2においては、列制御信号C C 3がHレベルとなる（列制御信号C C 6はLレベルになる）ため電圧信号v (d a t a)に期間T1でサンプルホールドされたV I D E O信号が出力されるとともに、サンプリングパルスS P bが出力され（S P aは出力されない）、該当列のS P bの発生期間t2において電圧画像信号V I D E Oは図示されるように基準信号R E Fとの差電圧d2でサンプルホールド回路S H内にサンプリングホールドされる。

【0013】

行周期である期間T3においては、列制御信号C C 3が再びLレベルとなり（列制御信号C C 6はHレベルになる）電圧信号v (d a t a)に期間T2でサンプルホールドされたV I D E O信号が出力される。

<電圧電流変換回路の説明>

電圧電流変換回路g mは基準信号R E Fに対する差電圧～d1, d2, d3～に相関性をもって電流信号d a t aを出力するものである。期間T1での保持差電圧d1は期間T2において電流I (m)に変換され、期間T2での保持差電圧d2は期間T3において電流I (m+1)に変換され、期間T1ではその前期間での保持差電圧が電流I (m-1)に変換され、これらはそれぞれの期間で出力される。

【0014】

図10は電圧電流変換回路g mの構成例である。M6は、電源起動時及び待機

時等の画素部8に電流を供給停止しなければならないときのみOFFするものであり、通常、動作時には列制御信号CC7によってON状態である。一般的な回路構成であるので詳しい動作説明は省く。尚、M2とM3、M4とM5及びMrとM1は特性上において相関性を持たせておく。また、変換特性はM1/D電流及びM2、M3の駆動係数 β で設定できる。

【0015】

以上説明した列制御回路はアナログ方式であるが、デジタル方式の場合は、基準信号REFは不要で、電圧画像信号は複数本のデータ信号となりサンプリングホールド回路SHは各データ信号を保持するマスタスレーブ型のフリップフロップ群となり複数の電圧出力データv(data)を出力する。電圧電流変換回路gmにおいてはgm特性を決める各データに相当した重み電流による電流出力型DA変換回路になる。

【0016】

〈画素部の説明〉

図8は電流プログラミング型の画素部8の回路構成の一例を示す回路図である。図8の構成は、画素部8において3個搭載され、それぞれにおいて各色のEL素子を駆動するものである。

【0017】

該当列の列情報線dataはM4/Sに接続され、M4/Gには該当行の行信号線RC1が接続され、M4/DはM2/DとM3/Dに接続される。M2/Sは電源VCCに接続され、M2/Gは一端が電源VCCに接続された容量C1とM1/G及びM3/Sに接続され、M3/Gは該当行の行信号線RC2に接続される。M1/Sは電源VCCに接続され、M1/DはEL素子の電流注入端子に入力され他端は接地GNDに接続される。

【0018】

次に動作について図9のタイムチャートを使用して説明する。該当列情報線dataに該当列の電流画像信号が行周期毎に更新され供給されている。

【0019】

時刻t0で該当行の行制御信号RC1がHレベルになるとともに行制御信号R

C₂がLレベルになると、その時点の電流画像信号 I (m) により M₂ の電流駆動能力に応じた M₂ / G 電圧が発生し、容量 C₁ が充電される。M₂ と M₁ のサイズを相対的に設定しておくと M₁ / D には電流画像信号 I (m) に比例した電流が output される。時刻 t₁ において行制御信号 R C₂ は H レベルに変化し、M₃ は OFF し、M₂ / G 電圧は保持され、時刻 t₂ において行制御信号 R C₁ が H レベルに変化して該当画素部 8 は電流画像信号から切り離され、次に M₄ が ON するまで設定された電流画像信号 I (m) に比例した電流を該当 E L 素子に継続して供給する。

【0020】

図 7 は電流プログラミング型の画素部 8 の回路構成の他の一例を示す回路図である。図 7 の構成は、画素部 8 において図 8 と同様に 3 個搭載され、それぞれにおいて各色の E L 素子を駆動するものである。

【0021】

該当列の列情報線 d a t a は M₃ / S に接続され、M₃ / G には該当行の行信号線 R C₁ が接続され、M₃ / D は M₂ / D と M₄ / S に接続され、M₄ / G にも行信号線 R C₁ が接続される。M₁ / S は電源 VCC に接続され、M₁ / G は一端が電源 VCC に接続された容量 C₁ と M₂ / S に接続され、M₂ / G は該当行の行信号線 R C₂ に接続される。M₄ / D は E L 素子の電流注入端子に入力され他端は接地 GND に接続される。

【0022】

次に動作について図 9 のタイムチャートを使用して説明する。該当列情報線 d a t a に該当列の電流画像信号が行周期毎に更新され供給されている。

【0023】

時刻 t₀ で該当行の行制御信号 R C₁ が H レベルになるとともに行制御信号 R C₂ が L レベルになると、その時点の電流画像信号 I (m) により M₁ の電流駆動能力に応じた M₁ / G 電圧が発生し、容量 C₁ が充電されるが、このとき M₄ は OFF 状態にあり E L 素子には電流は注入されない。時刻 t₁ において行制御信号 R C₂ は H レベルに変化し、M₂ は OFF し、M₁ / G 電圧は保持され、時刻 t₂ において行制御信号 R C₁ が L レベルに変化して M₄ は ON し、M₁ の保

持電流がEL素子に注入されるとともに、該当画素部8は電流画像信号から切り離され、次にM3がONするまで設定された電流画像信号I(m)に比例した電流を該当EL素子に継続して供給する。

【0024】

【発明が解決しようとする課題】

しかしながら、図6で示すELパネルは以下に示す課題をもっている。

【0025】

〔課題1〕

説明したELパネル用回路は薄膜トランジスタ(TFT)で構成される。TFTはトランジスタ特性の相関性を確保することが難しい。したがって図10で示すアナログ方式の列制御信号発生に重要な電圧電流変換回路gmの変換特性を各列で整えることは難しく、列毎の電流信号のばらつきにより再生画像上に<縦筋>を生じさせて画質を崩す要因となる。デジタル方式の電流出力型DA変換回路においても、各々に内蔵される重み電流源の相対精度を確保することが難しく、これもやはり列毎の電流信号のばらつきとなり、再生画像上に<縦筋>を生じさせて画質を崩す要因となる。

【0026】

〔課題2〕

ELパネルは一般にTFT回路を形成した後にEL素子を形成する。そのため、多数の画素部を有しているTFT回路の欠陥を、EL素子を形成する前に発見することはELパネルのコストダウンにおいて重要である。しかし、図6の構成のELパネルでは非接触かつ迅速に画素部のTFT回路動作の事前検査を行うことができない。

【0027】

本発明は上記課題に鑑みなされたものであり、列制御部の電圧電流変換特性を任意の列領域で検出でき、更には画素部の電極に対して非接触で各行の画素部の任意の列領域における動作特性を確認することができるELパネルを提供することを目的とする。

【0028】

【課題を解決するための手段】**〔解決手段 1〕**

電流信号に対応して発光するEL素子を含む画素部が行列状に複数配置された画像表示部と、

单一または複数の電圧信号から单一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含むELパネルにおいて、

電圧電流変換回路と該当列の画素部とを接続する列情報線からなる列情報線群に流れる電流の総和電流を外部に出力するための総和電流出力部と、該総和電流出力部の前記画像表示部側の列情報線に流れる電流を遮断するための遮断部とかなる総和電流検出部を備えたことを特徴とするELパネル。

【0029】**〔解決手段 2〕**

前記総和電流出力部は、各列情報線と総和電流出力線とを接続し、開閉制御が自在な出力スイッチ群からなることを特徴とする解決手段1に記載のELパネル。

【0030】**〔解決手段 3〕**

前記遮断部は、前記総和電流出力部と前記画像表示部との間の各列情報線に接続された開閉制御が自在な遮断スイッチ群からなることを特徴とする解決手段1又は2に記載のELパネル。

【0031】**〔解決手段 4〕**

電流信号に対応して発光するEL素子を含む画素部が行列状に複数配置された画像表示部と、

单一または複数の電圧信号から单一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含むELパネルにおいて、

前記列制御部から画素部への電流信号の入力を遮断し、前記列制御部からの電

流信号群の総和電流を外部に出力することができることを特徴とするE Lパネル。

【0032】

〔解決手段5〕

電流信号に対応して発光するE L素子を含む画素部が行列状に複数配置された画像表示部と、

单一または複数の電圧信号から单一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含むE Lパネルにおいて、

前記列制御部の各列の電流信号を各列の画素部に供給し、選択された行の画素部においてE L素子の駆動設定電流を発生させて該駆動設定電流値を記憶させてから前記列制御部の出力を遮断し、駆動設定電流群の総和電流を外部に出力することができることを特徴とするE Lパネル。

【0033】

【発明の実施の形態】

以下、本発明のE Lパネルの実施形態について図面を用いて説明するが、本発明はこれらの形態に限定されるものではない。また、本発明のE Lパネルにおいては、以下で特に説明する構成や動作以外については上記従来の技術において説明した構成、動作と同様である。

【0034】

尚、本明細書中においては説明の便宜上、トランジスタのゲート電極、ソース電極、ドレイン電極をそれぞれ／G、／S、／Dの略号にて示す。また、信号とそれを供給する信号線とを特に区別せずに表現することもある。

【0035】

〔実施形態1〕

図1は本発明のE Lパネルを示す概略図である。図6の従来のE Lパネルとの主たる差異は、列制御部5と画像表示部9との間に、総和電流検出部1が追加されている点である。

【0036】

テスト信号TESTはロジック回路2、6に入力され、ロジック回路2からは総和電流検出制御信号3が総和電流検出部1に入力される。また総和電流検出部1からは総和電流出力線Ioutを通して総和電流が出力される。

【0037】

図2は総和電流検出部1の回路構成例である。本形態の総和電流検出部は、総和電流出力部1aと、遮断部1bとからなっていて、総和電流出力部1aは、各列情報線(data(na)～data(nc))と総和電流出力線Ioutとを接続し、開閉制御が自在な出力スイッチ群(M1n～M3n)からなり、遮断部1bは、総和電流出力部1aと画像表示部9との間の各列情報線に接続された、開閉制御が自在な遮断スイッチ群(M4n～M6n)からなっている(nはRGB組の番号)。

【0038】

接続形態について更に詳細に説明すると、電圧電流変換回路と該当列の画素部とを接続する列情報線は、M1n/S～M6n/Sと接続され、M1n/D、M2n/D、M3n/Dは互いに全て接続され総和電流出力線Ioutから総和電流を出力できるようになっている。一方、M4n/D、M5n/D、M6n/Dは該当列の列情報線data(na)、data(nb)、data(nc)に接続されている。M1n/G、M2n/G、M3n/G (M4n/G、M5n/G、M6n/G)は互いに全て接続されて、ロジック回路2の出力である検出制御信号CCx (CCy) (総和電流検出制御信号3) が接続される。

【0039】

尚、全てのトランジスタはスイッチ動作をするものであり、適切に制御すればN型及びP型の限定や構成を限定するものでは無い。

【0040】

また画素部8は図7または図8のいずれの形態であっても良い。

【0041】

図1のELパネルにおける列制御部5の出力電流の検出動作について、図3のタイムチャートを使用して説明する。尚、図1の列制御回路は、列制御信号CC7によって電流出力状態にあるとする。

【0042】

列制御回路の出力電流を検出する場合には、M1n、M2n、M3nを全てONし、M4n、M5n、M6nは全てOFFしておく。即ち、総和電流検出部1においては、検出制御信号CCxによってM1n、M2n、M3nを全てONし、検出制御信号CCyによってM4n、M5n、M6nを全てOFFしておくことで、列制御部5から出力される列制御電流を全て総和電流として総和電流出力線Ioutに出力することができる。

【0043】

この状態においても、図3に示すように、SPA、SPb、CC3、CC6は通常動作時の図12に示すタイミングと同じであるが、画像信号VIDEOは、各々の行周期において異なる領域Z(n-1)～Z(n+6)の時のみ信号が発生しており、該各々の領域以外では列制御回路の出力電流が小さくなるようなレベルにしておく。列制御回路がデジタル方式の場合は前記各々の領域以外では全ての画像データVIDEOを(0)にしておけばよい。

【0044】

これにより、行期間T1において領域Z(n)に対応する列制御回路からの出力電流が主成分である総和電流ΣI(n)が行期間T2において総和電流出力線Ioutから出力される。他の期間においても対応する領域の列制御回路の出力電流を主成分とする総和電流がIoutから出力される。

【0045】

前記領域群を有効画像期間を含んで設定しておくと、全ての列制御回路群の出力電流を確認できることになる。また、夫々の領域Z(n)を1列(単色)に対応するようにすれば、全ての列制御回路の出力電流を個別に検出することができる。更には、TFTバラツキ特性に則して適当な複数列に対応するように各領域を設定したとすれば、全列制御回路の出力電流の検出時間を短縮できるばかりでなく、視覚上注目しなければならないTFTバラツキを抽出することもできる。また、各々の領域は重なり合っていても良く、順番を限定するものでもない。

【0046】

以上説明したように、列制御回路群の出力電流を任意の領域で検出でき、この

検出結果を元に画像信号（画像データ）VIDEOを修正して入力すると、TFT特性バラツキを打ち消すことが動作起動時の短期間に容易にできることとなる。

【0047】

〔実施形態2〕

本形態においても、使用するELパネルは実施形態1において示したものと同じものである。

【0048】

本形態は、画素部8に含まれるEL素子を駆動するための駆動電流を設定する駆動設定電流を検出するものであり、その動作について図4のタイムチャートを使用して説明する。

【0049】

尚、本形態においては、図2の総和電流検出部におけるM4n、M5n、M6nの全てのトランジスタ（遮断部1b）は、検出制御信号CCyによってONとしておく。即ち、遮断部1bは開放状態としておく。また、所定期間において画像信号VIDEOの発生領域Z（n）は一定にしておく。

【0050】

期間T1においてサンプリングパルスSPaが発生し、画素信号VIDEOが、対応する列制御部5で電流変換される。期間T2において、CC7=HかつCx=Lレベルに変化し、通常動作時と同様にm行制御信号RC1（m）及びRC2（m）によって選択されたm行の該当画素部8においてEL素子の駆動設定電流を発生させて該駆動設定電流値を記憶させる。期間T3において、CC7=LかつCx=Hレベルに変化し、列制御部5は各列情報線dataに電流信号を出力しないとともに、更に行制御信号RC2（m）がHレベルに変化する為、m行の各画素部8に保持された駆動設定電流Idは各列情報線dataに供給され、総和電流出力線Ioutにはm行の駆動設定電流の総和電流Id（m）が出力される。

【0051】

同様に期間T3でサンプリングパルスSPbによって変換された電流信号は、

期間 T_5 において $(m+1)$ 行の各画素部 8 の EL 駆動電流の総和電流 $\Sigma I_d (m+1)$ が総和電流出力線 I_{out} に出力される。

【0052】

このようにして、本形態によれば、列制御部の各列の電流信号を各列の画素部に供給し、選択された行の画素部において EL 素子の駆動設定電流を発生させて駆動設定電流値を記憶させてから列制御部の出力を遮断し、駆動設定電流群の総和電流を総和電流出力部から外部に出力し、画素部の電極に対して非接触で各行の画素部の任意の列領域における動作特性を確認することができる。この際には、図 4 の様に領域 $Z (n)$ を固定しておくことで、対応する列領域の画素部 8 の駆動電流を順次検出できる。

【0053】

【実施形態 3】

本形態においても、使用する EL パネルは実施形態 1 において示したものと同じものであり、画素部 8 に含まれる EL 素子を駆動するための駆動電流を設定する駆動設定電流を検出する点で実施形態 2 と同じものである。

【0054】

実施形態 2 との違いは、各サンプリングパルス発生期間において、領域 $Z (n)$ 同士、 $Z (n+1)$ 同士、 $Z (n+2)$ 同士、 $Z (n+3)$ 同士等は同じ領域に設定され、これらのグループ毎に領域が異なって設定されているところであり、検出された各行総和駆動電流 $\sim \Sigma I_d (m-1) \sim \Sigma I_d (m+2) \sim$ により、設定された列領域における EL 駆動電流を確認できる点である。

【0055】

実施形態 2 や 3 のように、検出領域 Z を目的に応じて設定することにより、多数の画素部 8 を含む EL パネルにおいて効率よく TFT 回路動作を検査することができる。

【0056】

【発明の効果】

以上説明した様に本発明の EL パネルによれば、非常に簡単な構成の総和電流検出部を追加するだけで、列制御部の電圧電流変換特性を任意の列領域で検出で

き、これを使って列制御の特性バラツキを補正できるばかりでなく、画素部の電極に対して非接触でかつ各行の画素部の任意の列領域における動作特性を確認することもできる。

【図面の簡単な説明】

【図 1】

本発明の E L パネルを示す概略図である。

【図 2】

本発明の E L パネルが備える総和電流検出部の一実施形態を示す回路図である

【図 3】

実施形態 1 を説明するためのタイムチャートである。

【図 4】

実施形態 2 を説明するためのタイムチャートである。

【図 5】

実施形態 3 を説明するためのタイムチャートである。

【図 6】

従来の E L パネルの構成を示す概略図である。

【図 7】

画素部の回路構成の一例を示す回路図である。

【図 8】

画素部の回路構成の一例を示す回路図である。

【図 9】

図 7 又は図 8 の回路構成を有する画素部の動作を説明するタイムチャートである。

【図 10】

電圧電流変換回路の構成の一例を示す回路図である。

【図 11】

列制御回路の構成の一例を示す回路図である。

【図 12】

図11の回路構成を有する列制御回路の動作を説明するタイムチャートである

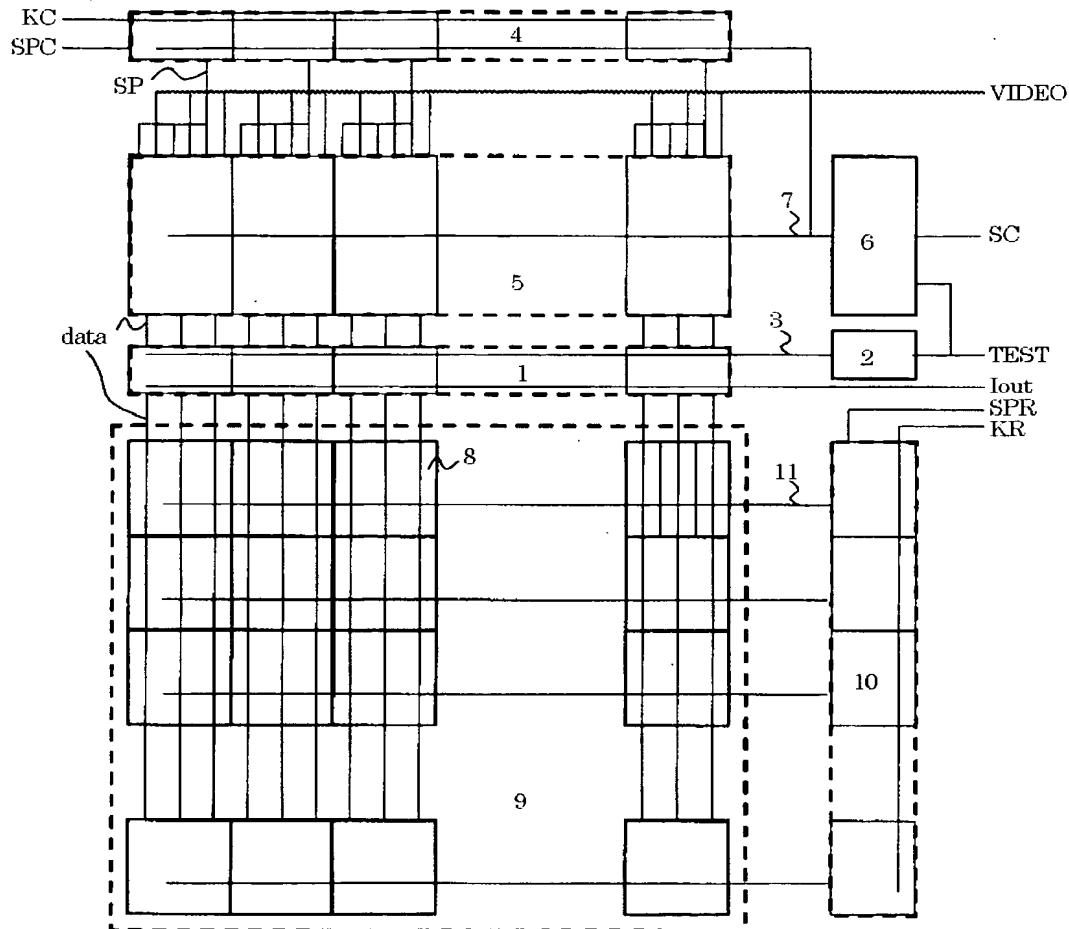
【符号の簡単な説明】

- 1 総和電流検出部
- 1 a 総和電流出力部
- 1 b 遮断部
- 2 ロジック回路
- 3 検出制御線
- 4 コラムシフトレジスタ
- 5 列制御部
- 6 ロジック回路
- 7 列制御線
- 8 画素部
- 9 画像表示部
- 10 ローシフトレジスタ
- 11 行制御信号線

【書類名】

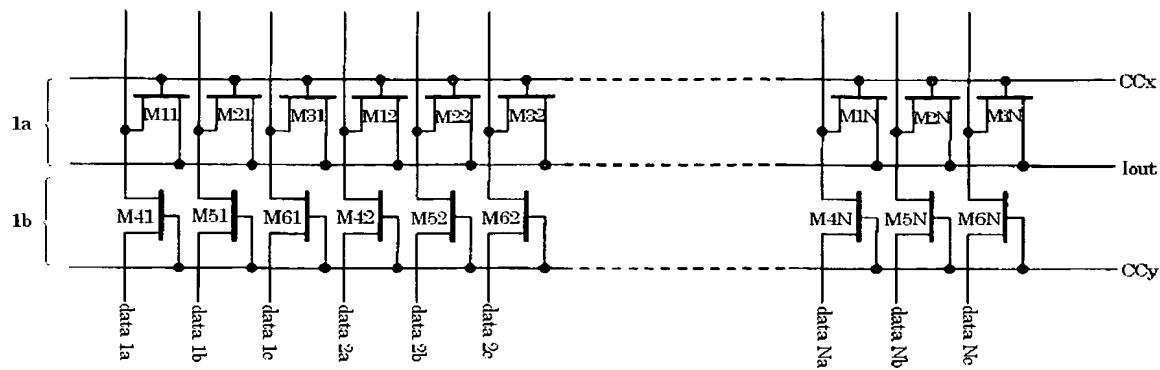
図面

【図 1】

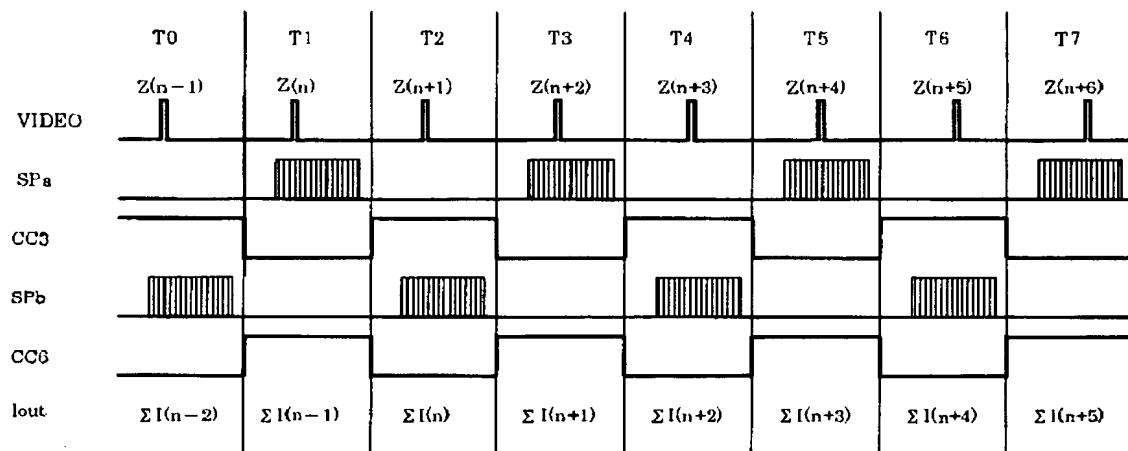


- 1: 総和電流検出部
- 2: ロジック回路
- 4: コラムシフトレジスタ
- 5: 列制御部
- 6: ロジック回路
- 8: 画素部
- 9: 画像表示部
- 10: ローシフトレジスタ
- 11: ロジック回路

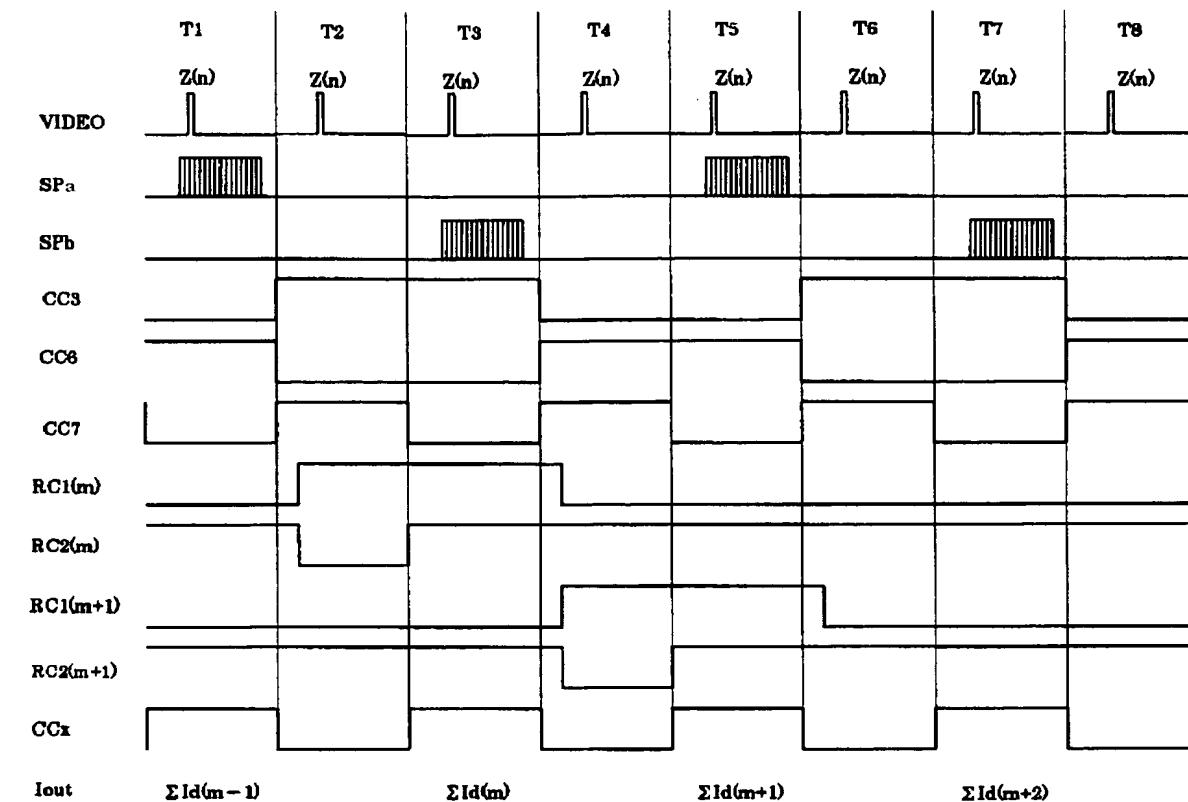
【図2】



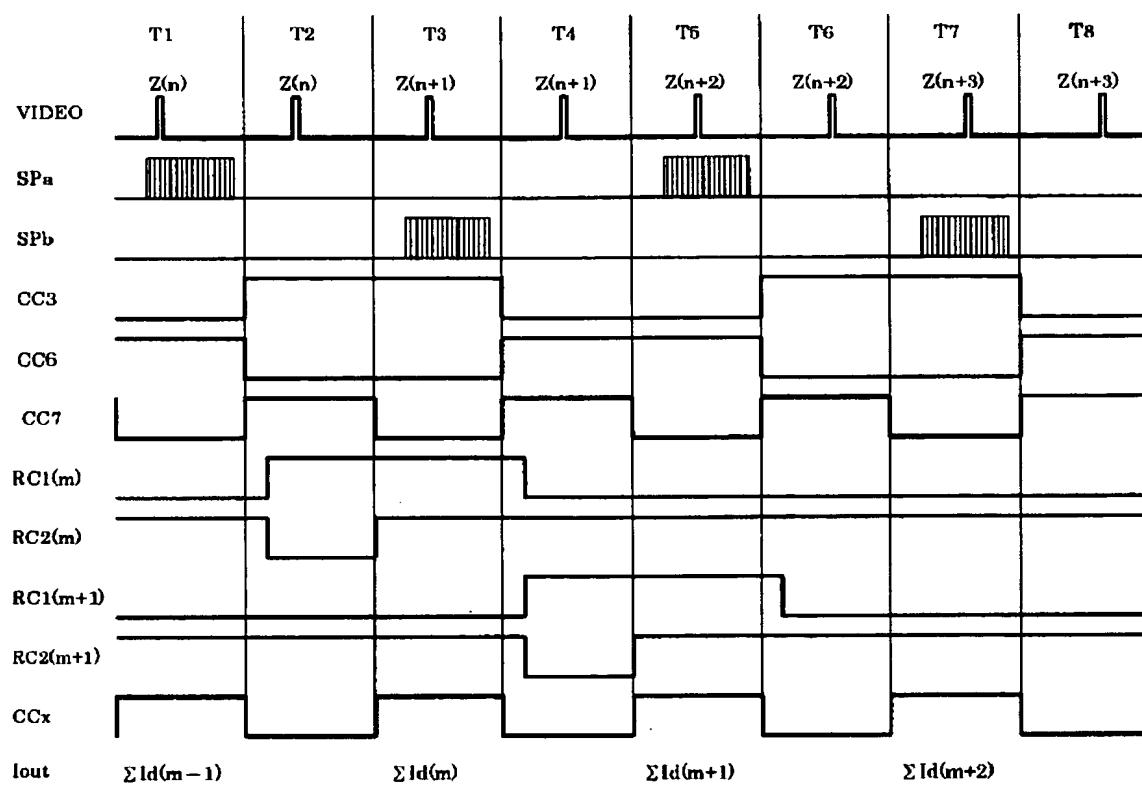
【図3】



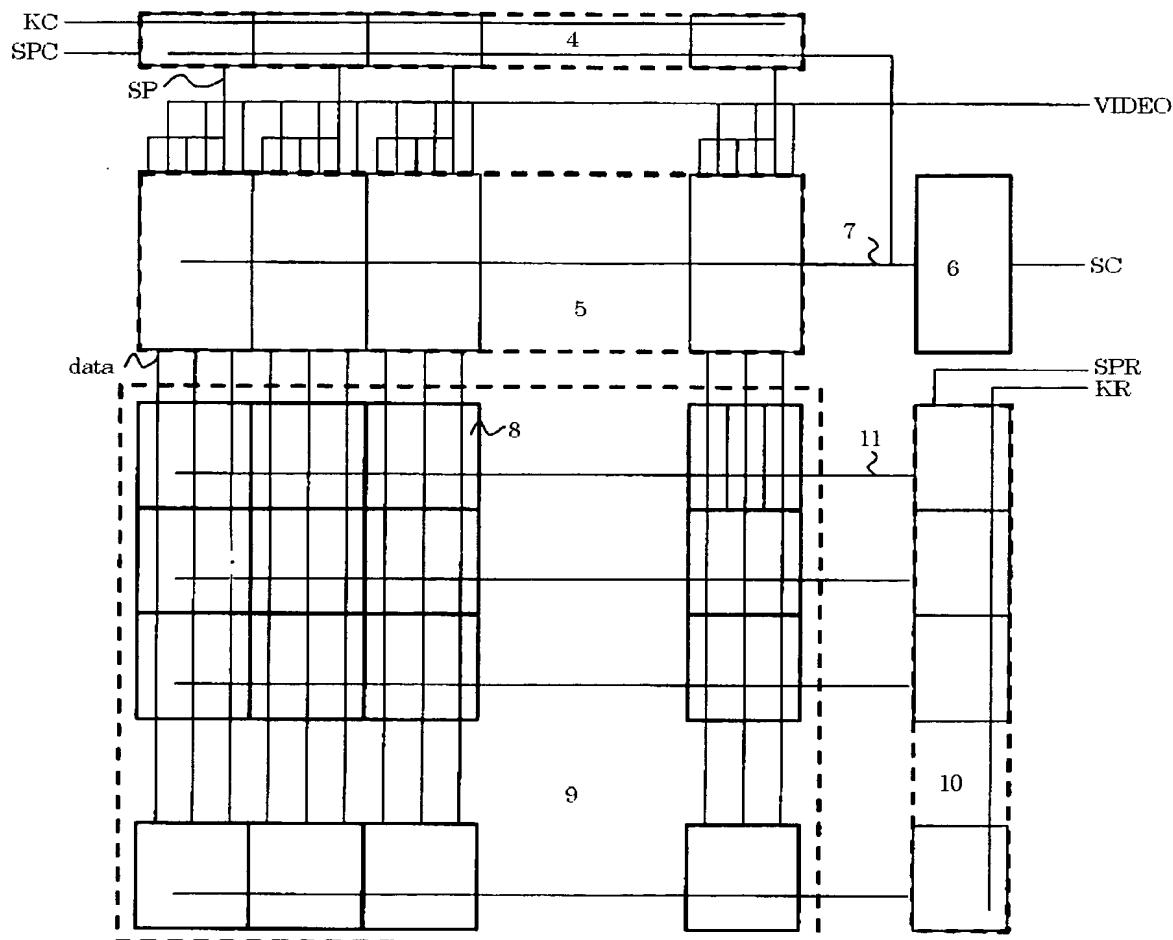
【図 4】



【図 5】

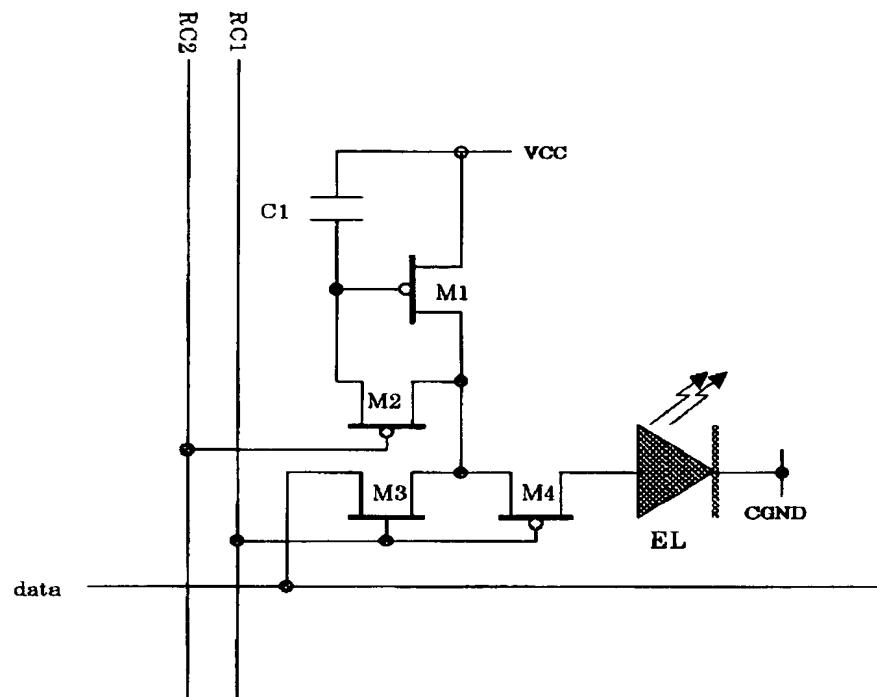


【図 6】

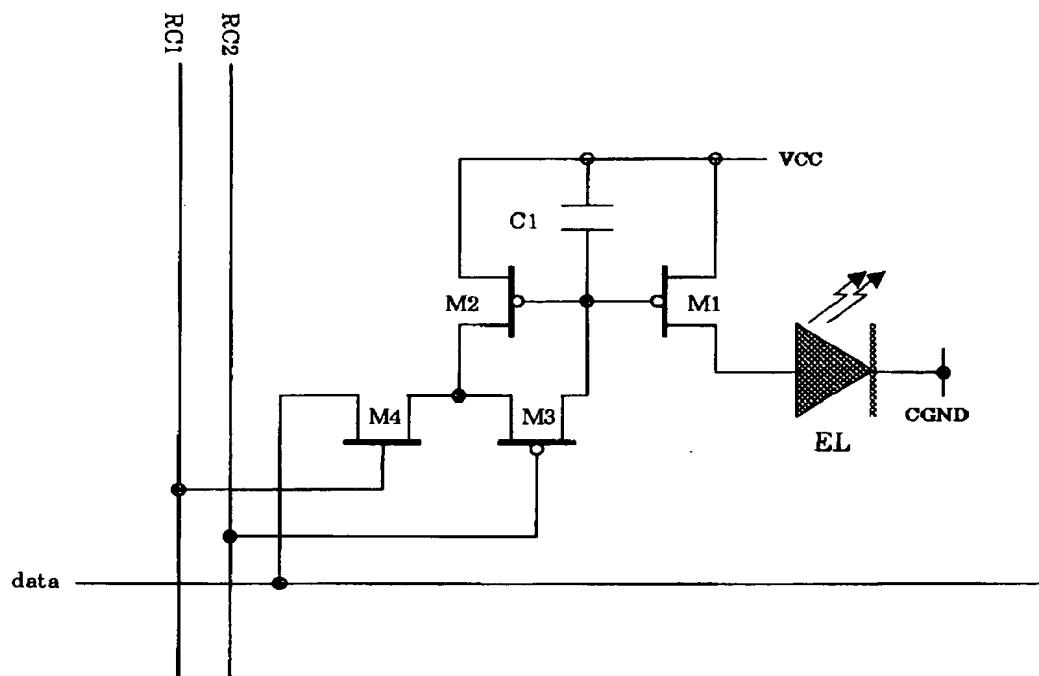


4: コラムシフトレジスタ
 5: 列制御部
 6: ロジック回路
 8: 画素部
 9: 画像表示部
 10: ローシフトレジスタ

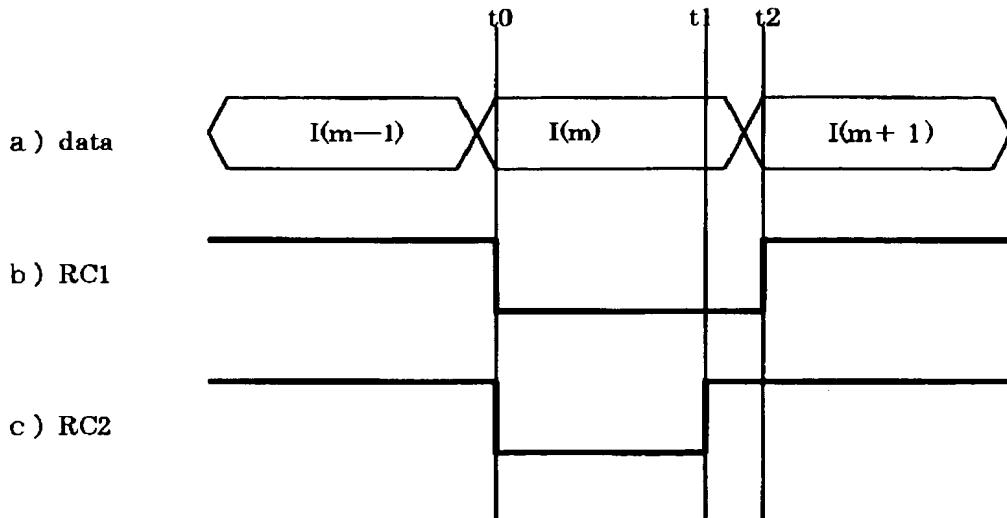
【図7】



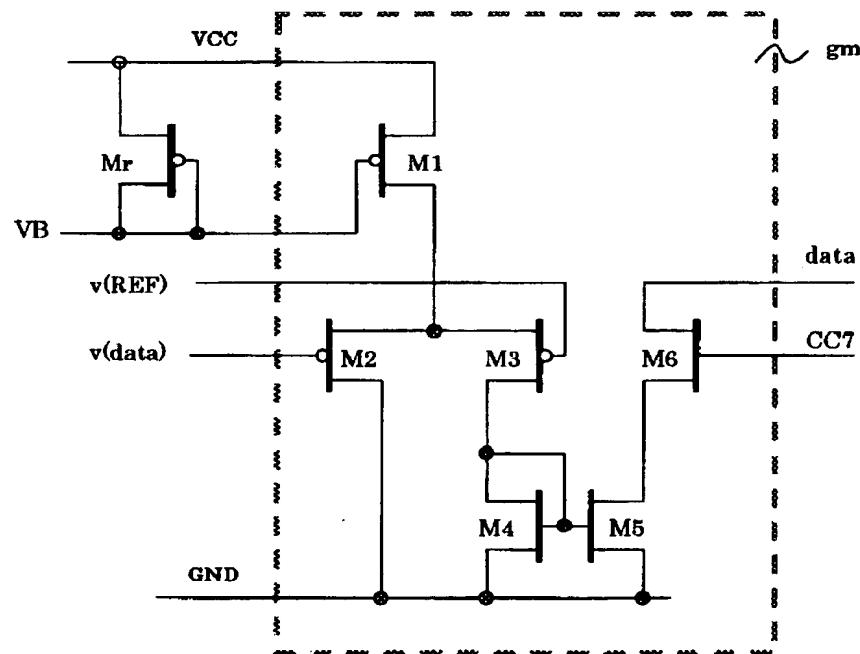
【図8】



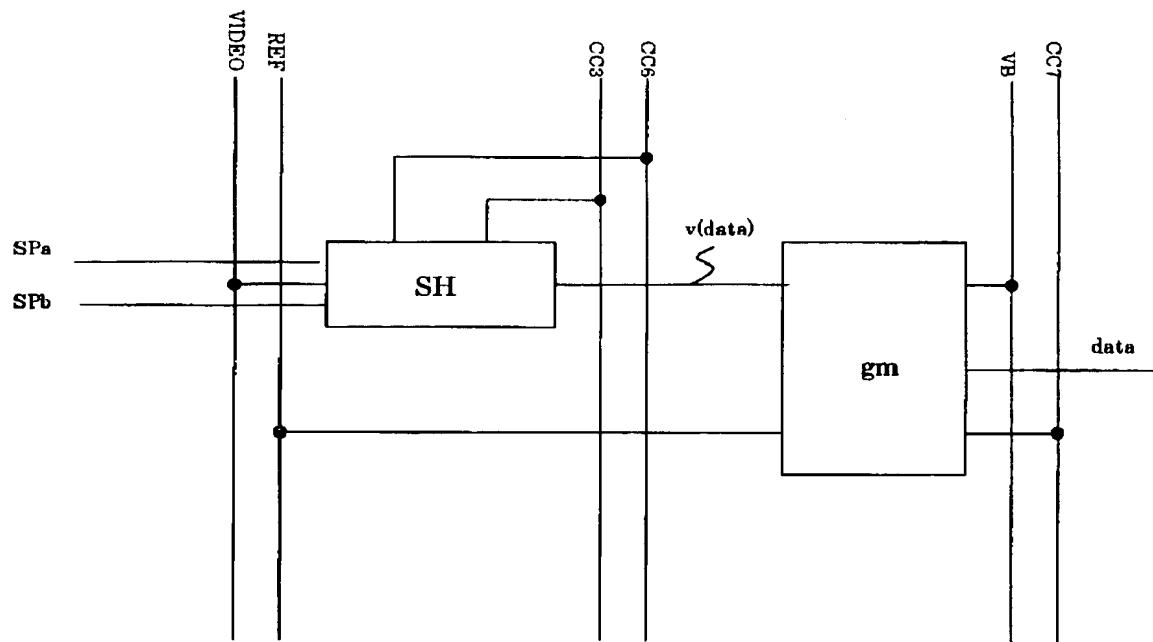
【図 9】



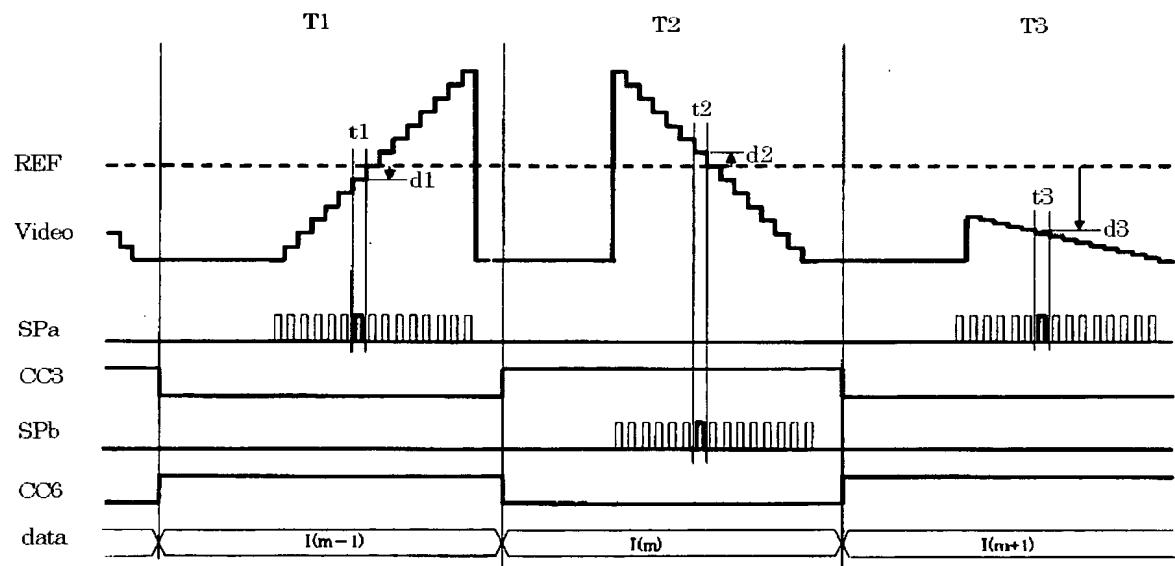
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 ELパネルにおいて電圧電流変換動作を行う列制御部の電圧電流変換特性を任意の列領域で検出でき、更には画素部の電極に対して非接触で各行の画素部の任意の列領域における動作特性を確認することができるELパネルを提供すること。

【解決手段】 EL素子を含む画素部8が行列状に複数配置された画像表示部9と、電圧電流変換回路が画素部8の列数に相当して配置され、該当列の画素部8に電流信号を供給する列制御部5とを少なくとも含むELパネルにおいて、電圧電流変換回路と該当列の画素部8とを接続する列情報線dataからなる列情報線群に流れる電流の総和電流を外部に出力するための総和電流出力部と、該総和電流出力部の画像表示部側の列情報線に流れる電流を遮断するための遮断部とかなる総和電流検出部1を備えたことを特徴とするELパネル。

【選択図】 図1

特願 2003-061288

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都大田区下丸子3丁目30番2号
氏名 キヤノン株式会社